

Best Available Copy

출력 일자: 2002/3/26

발송번호 : 9-5-2002-009510508
 발송일자 : 2002.03.25
 제출기월 : 2002.05.25

수신 : 서울특별시 강남구 논현동 200번지
 박장원 거하

135-826

특허청

의견제출통지서

출원인 명칭 엘지전자주식회사 (출원인코드: 119980002758)
 주소 서울시영등포구여의도동20번지

대리인 성명 박장원
 주소 서울특별시 강남구 논현동 200번지

출원번호 10-2000-0025787

발명의 명칭 씨피유 클럭 제어 방법

이 출원에 대한 실사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지합니다. 의견이 있거나 보정이 필요할 경우에는 상기 제출기월까지 의견서 또는 보정서를 제출하여 주시기 바랍니다. (상기 제출기월에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

[아유]

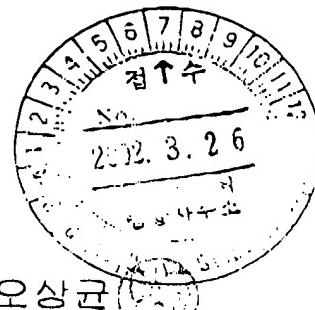
이 출원의 특허청구범위에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것으로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

본원 발명은 CPU의 사용량에 따라 CPU의 클럭속도를 조절하는 방법에 관한 것으로 사용이 적을 때 CPU의 클럭속도를 적절히 조절함으로써 소비전력을 줄일 수 있는 효과가 있으며, 인용발명(한국实用공개 1990-5435, 공개일자 1990.3.8.)는 소정의 CPU의 클럭선택 데이터를 랜지하여 소정의 저/고속 클럭을 선택하는 회로에 관한 것으로 본원의 사용량을 세크하는 단계는 인용의 클럭선택 데이터를 대체하는 단계와 클럭속도를 조절하는 단계는 클럭속도 선택회로에 대응되어 본원 발명의 기술적 사상과 구성이 유사하고, 본원 발명의 소비전력을 줄이는 효과는 클럭속도를 선택하는 목적으로 발생되는 것으로 본원 발명은 당해 기술분야에 통상의 지식을 가진 자가 인용발명으로부터 용이하게 발명할 수 있다고 판단됩니다. (29조2항) 끝.

[첨부]

첨부1 한국实用공개 1990-5435 끝.

2002.03.25



특허청

심사4국

통신 심사담당관실

심사관 오상균

<<안내>>

문의사항이 있으시면 042)481-5950 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부주의로 부인한 행정행위가 발생한 경우에 대해서는 즉시 개선책을 마련하여 처리하겠습니다.

o.kr내부조리신고센터

【한국실용공개 1990-5435】

Best Available Copy

①Int. Cl.
G 06 F 1/04

④대한민국 특허청 (KR)
②공개실용신안공보 (U)

제 367 호

③공개일자 서기 1990. 3. 8
④출원일자 서기 1988. 8. 8

⑤공개번호 90- 5435
⑥출원번호 88-13046

심사청구: 있음

⑦고안자 유태홍 서울특별시 양천구 신월4동 535-1 신화아파트 마동 202호
⑧출원인 삼성전자 주식회사 대표이사 안시원
경기도 수원시 매판동 416번지
⑨대리인 변리사 이건주

(전 2면)

⑩다이내믹 프로세서의 클럭속도 선택회로**⑪실용신안 등록청구의 범위**

1. 클럭신호 입력단자(11)를 통한 소정 CPU의 바이트 신호가 클럭단자(CK)로 입력함에 따라 메이비 입력단자(10)를 통한 소정 CPU의 클럭선택 데이터를 래치하여 소정의 고속 또는 저속 클럭 선택회로를 생성하는 플립플롭(15)과, 소정의 저속클럭 신호와 고속 클럭신호를 생성하는 클럭신호 생성부(20)와, 상기 플립플롭(15)의 클럭선택 신호에 따라 상기 클럭신호 생성부(20)의 저속 클럭신호 혹은 클럭신호를 스위칭 선택하여 출력단자(32)를 통해 사용자가 선택한 프로세서의 클럭단으로 입력하는 클럭신호 스위칭부(30)와, 상기 플립플롭(15)의 클럭선택 신호가 웨이프 메이타 입력단자(Sel)로 입력함에 따라 제1웨이프 메이타 입력단자(41)를 통해 입력단자(X)로 입력하는 소정의 제1웨이프 메이타 혹은 제2웨이프 메이타 입력단자(42)를 통해 입력단자(Y)로 입력하는 소정의 제2웨이프 메이타를 출력단자(OUT)를 통해 사용자가 선택한 웨이프 제어로직으로 선택 출력하는 멀티 풀렉스(40)로 구성됨을 특징으로 하는 다이내믹 프로세서의 클럭속도 선택회로.

2. 제1항에 있어서, 상기 풀렉스위칭(30)가 상기 플립플롭(15)의 고속 클럭선택 신호에 따라 상기 클럭신호 생성부(20)의 고속클럭 신호를 스위칭 선택하는 고속 클럭신호 선택수단과 상기 플립플롭(15)의 저속클럭 선택 신호에 따라 상기 클럭신호 생성부(20)의 저속클럭 신호를 스위칭 선택하는 저속클럭신호 선택수단과, 상기 고속클럭신호 또는 저속클럭 신호가 입력함에 따라 출력단자(32)를 통해 사용자가 선택한 프로세서의 클럭단으로 출력하는 논리수단으로 구성됨을 특징으로 하는 다이내믹 프로세서의 클럭속도 선택회로.

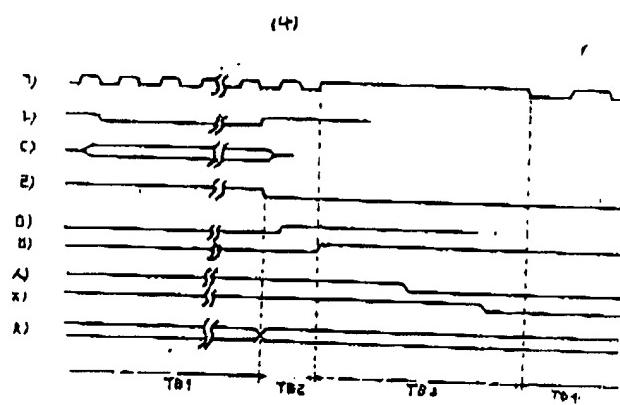
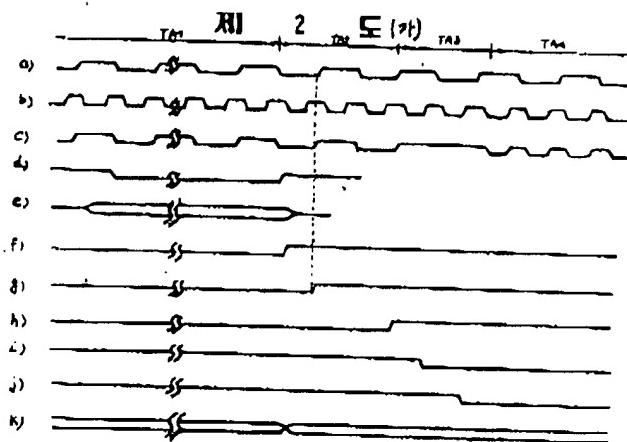
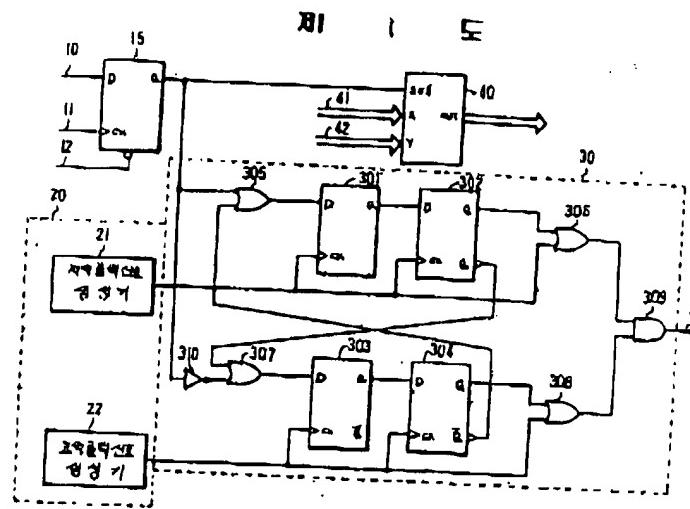
※ 참고사항: 최초출원 내용에 의하여 공개하는 것임.

도면의 간단한 설명

제1도는 본 고안에 따른 회로도, 제2도는 본 고안에 따른 동작 과정도

Best Available Copy

공개실용 90-5435



Best Available Copy

(19) Korean Intellectual Property Office (KR)

(12) Utility Model Laid Open Publication (U)

(11) Laid Open Publication No.: 90-5435

(43) Laid Open Publication Date: March 8, 1990

(21) Application No.: Utility Model Application 88-13046

(22) Application Date: August 8, 1988

(71) Designer : Tae Heung YU

(72) Applicant : Samsung Electronics Co., Ltd.

(54) Clock speed selecting circuit of dynamic processor

Claims

1. A clock speed selecting circuit of a dynamic processor comprising:

a flip-flop 15 for latching clock selection data of a CPU through an input terminal 10 as a light signal of the CPU through a clock signal input terminal is inputted to a clock port (CK), to generate a high speed or a low speed clock select signal;

a clock signal generator 20 for generating certain low speed clock signal and certain high speed clock signal;

a clock signal switching unit 30 for selectively switching the low speed

Best Available Copy

clock signal or the high speed clock signal of the clock signal generator 20 according to the clock selection signal of the flip-flop 15, and inputting it to the clock port of a processor selected by a user through the output terminal 32; and

a multiplex 40 for selectively outputting first weight data inputted to an input port (X) through a first weight data input port (41) or second weight data inputted to an input port (Y) through a second weight data input terminal (42) to a weight control logic selected by the user through an output terminal (OUT), when the clock select signal of the flip-flop 15 is inputted to a weight data input terminal (Sel).

2. The circuit of claim 1, wherein the clock signal switching unit 30 comprises:

a high speed clock signal selector for selectively switching the high speed clock signal of the clock signal generator 20 according to the high speed clock select signal of the flip-flop 15;

a low speed clock signal selector for selectively switching the low speed clock signal of the clock signal generator according to the low speed clock select signal of the flip-flop 15; and

a logical unit for receiving and outputting either the high speed clock signal or the low speed clock signal to the clock port of the processor selected by the user through the output terminal 32.